

项目一：移位相加 8 位硬件乘法器电路设计

设计要求：实现两个 8 位二进制数的乘法运算。

设计方案：硬件乘法器的乘法运算可以通过逐项移位相加原理来实现，从被乘数的最低位开始，若为 1，则乘数左移后与上一次的和相加；若为 0，左移后以全零相加，直至被乘数的最高位。

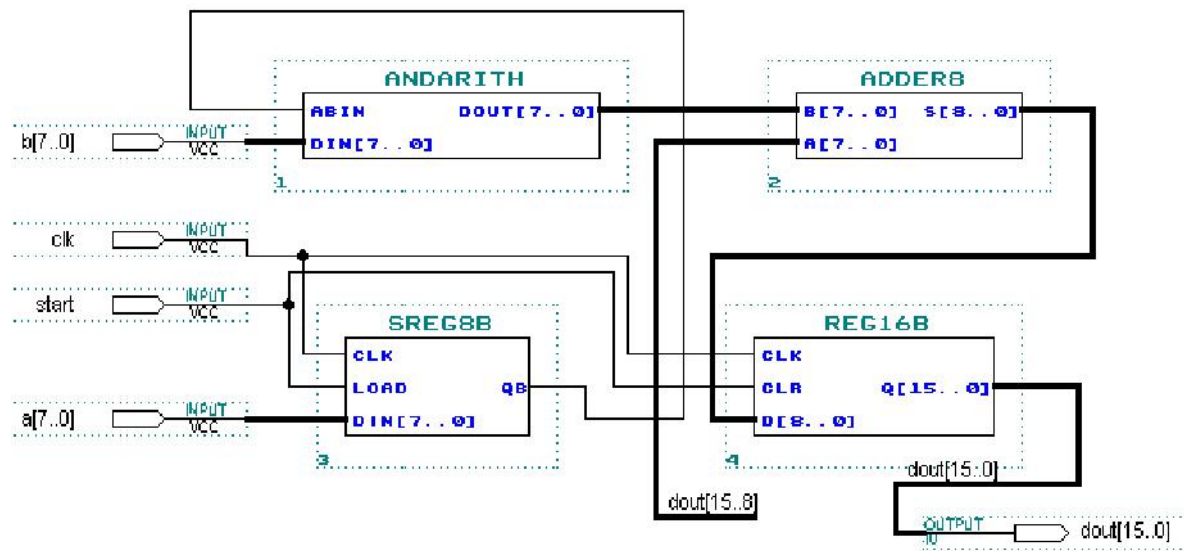


图 1 移位相加 8 位硬件乘法器电路顶层原理图

设计结果：由八位加法器构成的以时序逻辑方式设计的八位乘法器，具有一定的使用价值，而且由 FPGA 构成实验系统后，可以很容易的用 ASIC 大型集成芯片来完成，性价比高，可操作性强。

项目二：十字路口交通管理器设计

设计要求：设计一个由一条主干道和一条支干道的汇合点形成的十字交叉路口的交通灯控制器。

(1) 主、支干道各设有一个绿、黄、红指示灯，两个显示数码管。

(2) 主干道处于常允许通行状态，而支干道有车来才允许通行。

(3) 当主、支道均有车时，两者交替允许通行，主干道每次放行 45s，支干道每次放行 25s，在每次由亮绿灯变成亮红灯的转换过程中，要亮 5s 的黄灯作为过渡，并进行减计时显示。

设计方案：交通灯的控制电路主要由四大模块组成，通过传感器来判别主干道与支干道车辆运行情况，然后由交通灯实现车辆的自动控制。交通控制模块发出主支道控制信号，选择定时模块工作，控制显示模块。定时模块由 45s, 25s, 5s

The diagram illustrates the internal structure of the Traffic Control module. It consists of three counters (COUNT26, COUNT05, and COUNT38) and a TRAFFIC_CONTROL block. The module has two external inputs: 'clk' and 'reset'. The 'clk' input is connected to the CLK inputs of all three counters and the CLK input of the TRAFFIC_CONTROL block. The 'reset' input is connected to the RESET input of the TRAFFIC_CONTROL block. The TRAFFIC_CONTROL block has three weight inputs (W1, W2, W3) and a RESET input. It produces six outputs: G1, G2, R1, R2, Y1, and Y2. The counters are used to generate timing signals for the traffic control logic.

设计结果：通过综合实验的思考和设计，使学生对一个项目的整体设计有了进一步认识。掌握交通管理器的工作原理，并利用 VHDL 语言编写程序。学生在设计过程中，学会对项目进行分功能和模块的设计，自顶向下，完成顶层的设计后，再编写功能模块。通过程序的编写加深了对 VHDL 语言的了解，提高学生的编程能力。

设计要求：设计一个函数发生器，该函数发生器能够产生递增斜波、递减斜波、方波、三角波、正弦波、及阶梯波，并且可以通过选择开关选择相应的波形输出；系统具有复位的功能；通过按键确定输出的波形及确定是否输出波形。FPGA是整个系统的核心，构成系统控制器，波形数据生成器，加法器，运算/译码等功能。

Document generated by Print2Flash (www.print2flash.com)

时钟脉冲，时钟上升沿有效，和复位清零信号 RESET，当高电平有效时，系统恢复初始状态；每个模块还有一个输出端口，输出对应的波形函数。另一大模块就是波形选择模块，SEL【2..0】为输出选择信号，该信号的不同取值对应递增斜波、递减斜波、方波、三角波、正弦波、阶梯波六种不同的输出；Q【7..0】为输出信号，根据输出函数选择信号 SEL【2..0】的取值输出相应的波形。其完整电路原理图如图 5 所示。

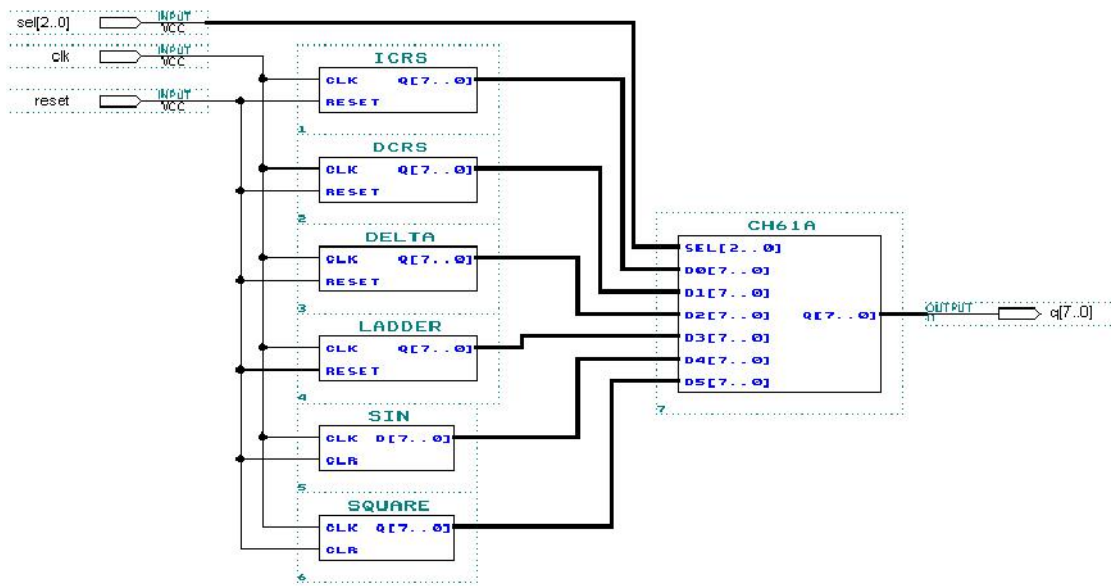


图 3 函数发生器原理图

设计结果：应用 EDA 技术用 FPGA 完成波形发生器，通过选择波形的按钮，实现 6 种波形的互相转换。利用示波器可以验证波形发生器与原定的设计的理论是相一致。通过这次设计,使学生进一步熟悉 maxplus II 软件的使用和操作方法，以及硬件实现时的下载方法与运行方法；对 VHDL 语言的自顶向下设计方法有了进一步的认识。

项目四：乒乓球游戏机设计

设计要求：(1)使用乒乓球游戏机的甲乙双方各在不同的位置发球或击球。

(2) 乒乓球的位置和移动方向由灯亮及依次点燃的方向决定，球移动的速度为 0.1~0.5s 移动一位。游戏者根据球的位置发出相应的动作，提前击球或出界均判失分。

(3) 比赛用 11 分为一局来进行，甲乙双方都应设置各自的记分牌，任何一方先记满 11 分，该方就算胜了此局。当记分牌清零后，又可开始新的一局比赛。

设计方案

本设计中的乒乓游戏机是由 5 个发光二极管代表乒乓球台，中间的发光二极管兼作球网，用点亮的发光二极管按一定方向移动来表示球的运动。在游戏机的两侧各设置两个开关，一个是发球开关 STARTA、STARTB；另一个是击球开关 HITA、HITB。甲乙二人按乒乓球比赛规则来操作开关。当甲方按动发球开关 STARTA 时，靠近甲方的第一个发光二极管亮，然后发光二极管由甲向乙依次点亮，代表乒乓球的移动。当球过网后按设计者规定的球位，乙方就可以击球。若乙方提前击球或没有击中球，则判乙方失分，甲方的记分牌自动加一分。然后重新发球，比赛继续进行。比赛一直要进行到一方记分牌达到 11 分，该局才结束。本设计由译码显示器、按键去抖、状态机/球台控制器和记分器等部分所组成。本系统顶层原理图如图 7 所示。

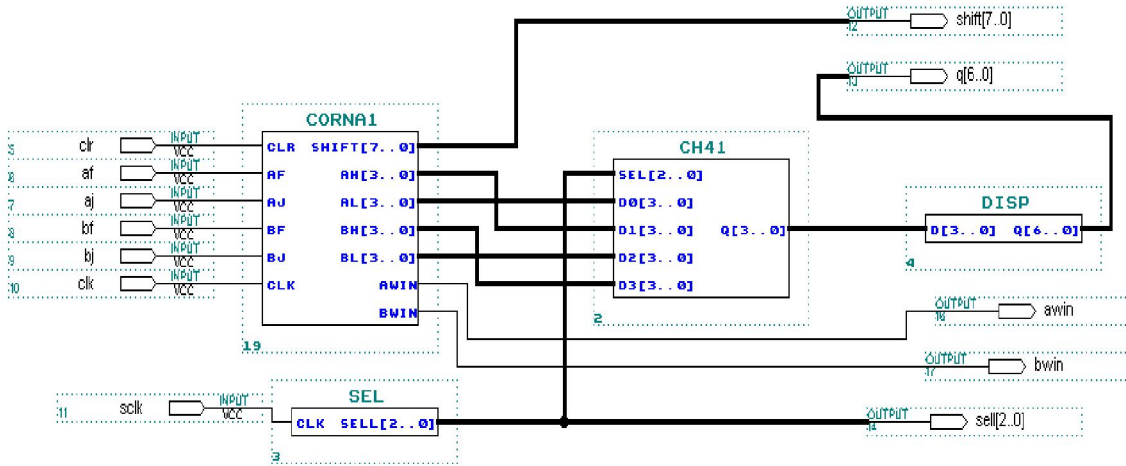


图 4 乒乓游戏机顶层电路图

设计结果：项目设计一个基于 VHDL 的乒乓游戏机，乒乓游戏机由状态机、记分器、译码显示器与按键去抖等部分所组成。通过对各部分编写 VHDL 程序，然后进行编译、仿真、逻辑综合、逻辑适配，最后进行编程下载，并且通过 GW48 型 EDA 实验箱的验证，实现乒乓游戏机的基本功能。通过设计，使学生对 MAX+PLUS II 软件的基础使用方法更加的熟悉，熟练掌握了数码管，GW48 EDA 实验开发系统的基础使用方法，并加深对 VHDL 基本逻辑电路和状态机电路的综合设计应用。通过这次设计，加强了理论知识与实践统一的能力，提高了学生的动手操作能力。

项目五：8 位十进制数字频率计

设计要求：设计并调试好一个 8 位十进制数字频率计。要求编写上述 8 位十进制数字频率计逻辑图中的各个模块的 VHDL 语言程序，并完成 8 位十进制数字频率计的顶层设计，然后利用开发工具软件对其进行编译和仿真，最后通过实验开发系统对其进行硬件验证。

设计方案：图 5 是 8 位十进制数字频率计的电路逻辑图，它由一个测频控制信号发生器 TESTCTL、8 个有时钟使能的十进制计数器 CNT10、一个 32 位锁存器 REG32B 组成。

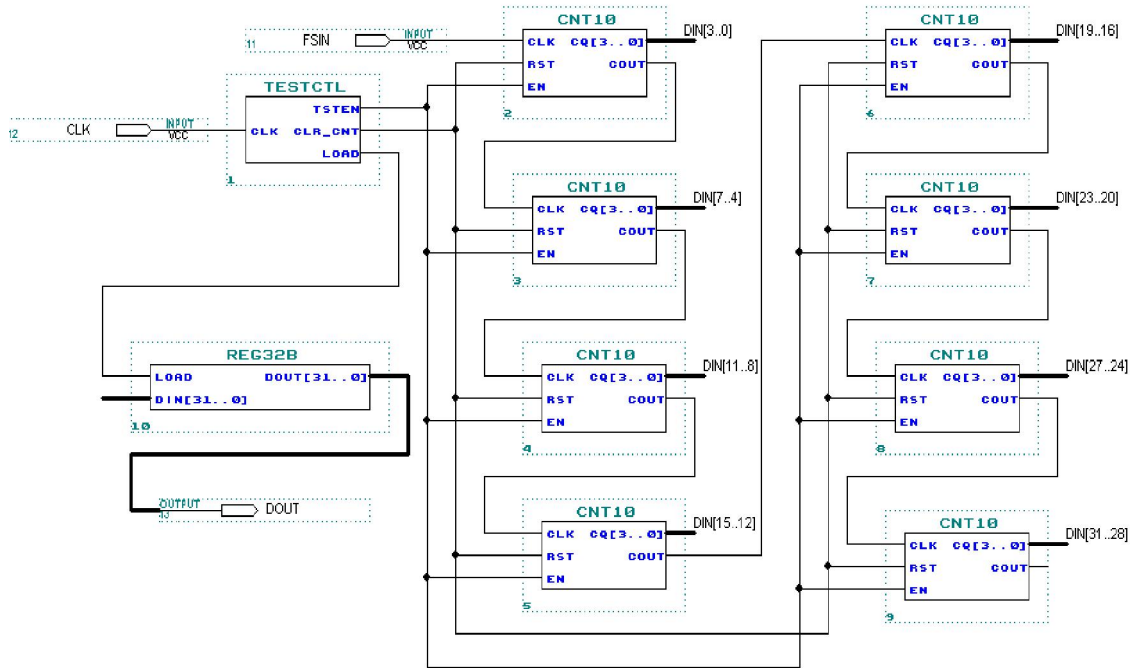


图 5 8 位十进制数字频率计逻辑图

设计结果：频率计设计的仿真波形。在一个 CLK 时钟周期内，FISN 有 5 个时钟周期，因此 DOUT 输出为 00000005。本次数字频率计的设计涉及到了 VHDL 语言、MAX+PLUS II 软件，EDA 技术等。涉及了微机原理和 EDA 所学的大部分内容。通过这次课程设计实践，使学生巩固了学过的知识并能够较好的利用。

项目六：电梯控制系统的设计

设计要求：要求用 FPGA 设计实现一个 3 层电梯的控制系统。系统的要求如下：

- (1) 电梯运行规则：当电梯处在上升模式时，只响应比电梯所在位置高的上楼请求，由下向上逐个执行，直到最后一个上楼请求执行完毕。如果高层有下楼请求，直接升到有下楼请求的最高楼层，然后进入下降模式。电梯处在下降模式时，工作方式与上升模式相反。设电梯共有 3 层，每秒上升或下降一层。
- (2) 电梯初始状态为一层，处在开门状态，开门指示灯亮。
- (3) 每层电梯入口处均设有上下请求开关，电梯内部设有乘客到达楼层的停站请求开关及其显示。
- (4) 设置电梯所处位置的指示及电梯上升或下降的指示。

(5) 电梯到达有停站请求的楼层后，电梯门打开，开门指示灯亮。开门 4 秒后，电梯门关闭，开门指示灯灭，电梯继续运行，直至执行完最后一个请求信号后停在当前层。

(6) 电梯控制系统能记忆电梯内外的请求信号，并按照电梯运行规则工作，每个请求信号执行完毕后清除。

设计方案：根据电梯控制系统的设计要求，除了具备系统时钟信号 CLK 以外，还应该定义输入信号和输出信号。

(1) 输入信号定义如下：

系统复位信号：RESET，高电平有效；

电梯入口处一层、二层的上楼请求开关：UP1、UP2；

电梯入口处二层、三层的下楼请求开关：DOWN2、DOWN3；

电梯内部到达楼层的停站请求开关：STOP1、STOP2、STOP3。

所有输入信号的规定为：输入信号等于 1，表示有请求，信号等于 0，表示无请求。

(2) 输出信号定义如下：

电梯外部上升和下降请求指示灯：UPLIGHT 和 DOWNLIGHT，这些信号与 UP1、UP2、DOWN2 和 DOWN3 信号相对应；

电梯内部乘客到达楼层的停站请求灯：STOPLIGHT，该信号与 STOP1、STOP2 和 STOP3 信号相对应；

电梯运行模式指示：UDSIG，1 代表下降模式，0 代表上升模式；

电梯所在楼层指示：POSITION，表示电梯在对应楼层；

电梯门状态指示：DOORLIGHT，1 表示开门，0 表示关门。

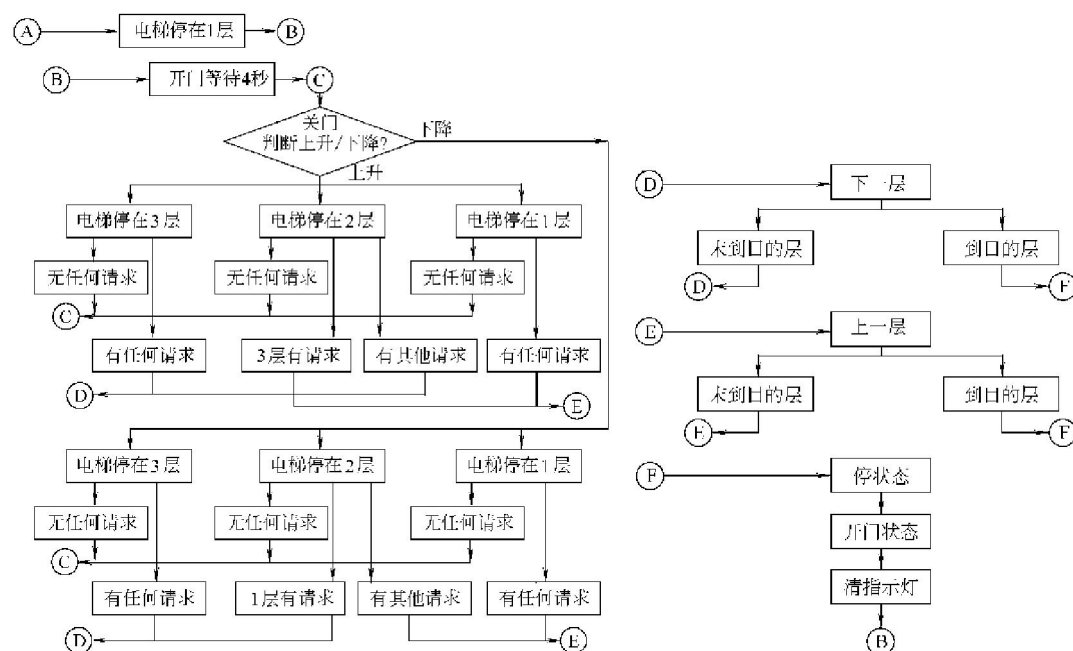


图 6 状态机设计流程图

设计结果：本设计实现了三层电梯的基本功能，电梯的运行情况完全符合它的运行规则，电梯的位置变化合情合理。本次三层电梯控制器的设计采用 VHDL 语言，源程序经 MAX+plus II 软件仿真，目标器件选用 CPLD 器件。本设计代码具有良好的可读性和可移植性，运用了有限状态机的设计方法，使得它灵活、简单、运算速度快、可靠性高，并且此设计具有良好的扩展性。本文中设计的电梯控制器以 CPLD 为实现载体，以 VHDL 为描述语言实现了电梯的升降舒适感和运行的可靠性，相信在以后的智能建筑中会得到广泛的应用和推广。

项目七：基于 DDS 的数字移相正弦信号发生器设计

设计要求：DDS 技术是一种把一系列数字形式的信号通过 DAC 转换成模拟形式的信号合成技术，目前使用最广泛的一种 DDS 方式是利用高速存储器作查找表，然后通过高速 DAC 输出已经用数字形式存入的正弦波。

DDS 技术具有频率切换时间短（ $<20\text{ ns}$ ），频率分辨率高（ 0.01 Hz ），频率稳定度高，输出信号的频率和相位可以快速程控切换，输出相位可连续，可编程以及灵活性大等优点。DDS 广泛用于接受机本振、信号发生器、仪器、通信系统、雷达系统等，尤其适合跳频无线通信系统。

设计方案：下图是 DDS 的基本原理图，频率控制字 M 和相位控制字分别控制 DDS 输出正（余）弦波的频率和相位。DDS 系统的核心是相位累加器，它由一个累加器和一个 N 位相位寄存器组成。每来一个时钟脉冲，相位寄存器以步长 M 增加。

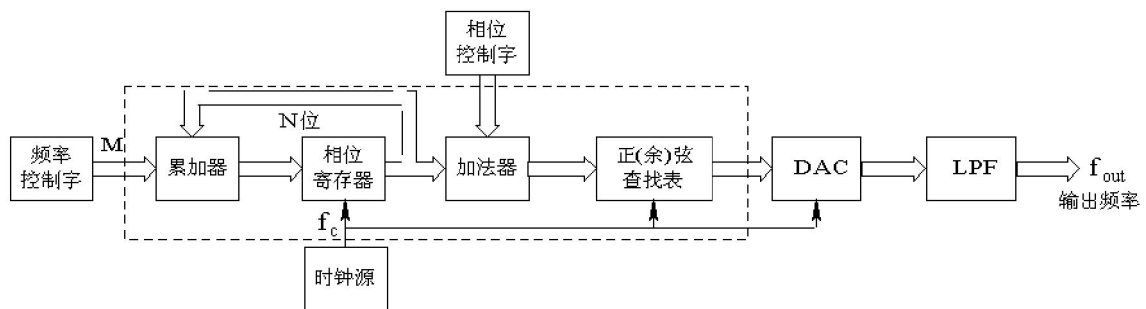


图 13 DDS 的基本原理图

根据上图，并假定相位控制字为 0，这时 DDS 的核心部分相位累加器的 FPGA 的设计可分为如下几个模块：相位累加器 SUM99、相位寄存器 REG1、正弦查找表 SINROM 和输出数据寄存器 REG2，其内部组成框图如图 14 所示。图中，输入信号有时钟输入 CLK，使能端 EN，复位端 RESET，频率控制字 K，输出信号为 Q。

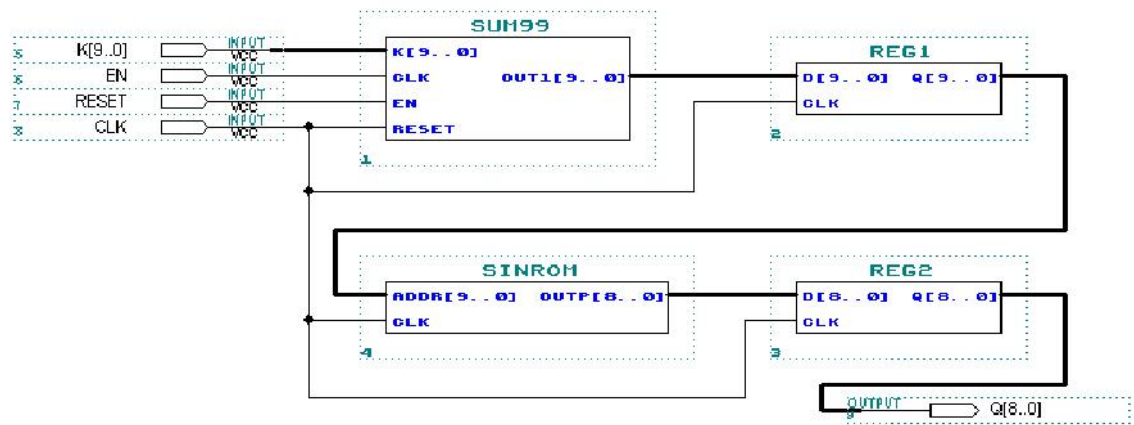


图 14 DDS 内部组成框图

设计结果：利用 FPGA 芯片及 D/A 转换器，采用直接数字频率合成技术，设计实现了一个频率、相位可控的正弦信号发生器。经过设计和电路测试，输出波形达到了技术要求，控制灵活、性能较好，也证明了基于 FPGA 的 DDS 设计的可靠性和可行性。